

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196071

(43)Date of publication of application : 14. 07. 2000

(51) Int. Cl.

H01L 29/78  
H01L 21/336  
H01L 27/04  
H01L 21/822  
H01L 21/8238  
H01L 27/092  
H01L 27/10  
H01L 29/43

(21)Application number : 10-369091

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25. 12. 1998

(72)Inventor : OISHI TOSHIYUKI

NISHIDA MASAO

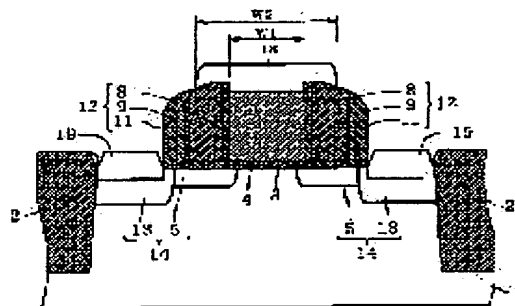
SAYAMA HIROKAZU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE, AND THE SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of a semiconductor device, which can reduce the gate resistance, by widening the width of a conductive layer on a gate electrode, without elongating the gate length.

**SOLUTION:** After formation of an extension 5 within the topside of a silicon substrate 1, a silicon oxide film 6 and a silicon nitride film (7) are stacked over the entire substrate. Next, the silicon nitride film (7) and the silicon oxide film (6) are etched anisotropically in this order. Next, a silicon oxide film (10) is stacked all over, and then the silicon oxide film (10) is etched anisotropically. Then with the gate electrode 4 and the sidewall 12 as masks, ion implantation is performed to form an impurity region 13. Next, a silicon growth layer (15) is formed by performing silicon growth under conditions such that it has selectivity with respect to the silicon oxide film. Next, cobalt silicides (18) and 19 are made by performing heat treatment after stacking cobalt (17) over the entire surface. After that, unreacted cobalt (17) is removed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

AL

일본공개특허공보 평 12-196071호(2000.07.14) 1부.

[ 첨부그림 1 ]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196071

(P2000-196071A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int. Cl.	識別記号	P I	ナット (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P 4 M 1 0 4
21/338		27/10	4 6 1 5 F 0 9 8
27/04		27/04	U 6 F 0 4 0
21/822		27/08	3 2 1 D 6 F 0 4 8
21/8238		29/46	D 6 F 0 8 3

審査請求 未請求 請求項の数18 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願平10-368091  
(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 大石 敏之  
東京都千代田区丸の内二丁目2番8号 三  
菱電機株式会社内  
(73) 発明者 西田 征男  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74) 代理人 100089233  
弁理士 吉田 茂明 (外2名)

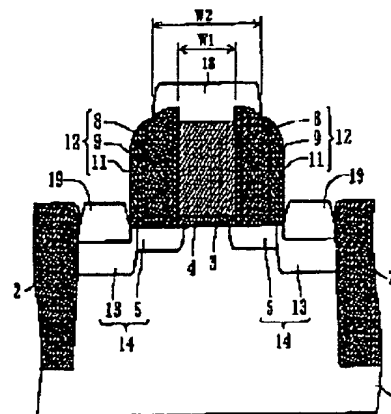
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

【課題】 ゲート長を広げることなく、ゲート電極上に形成された導電層の幅を広げることにより、ゲート抵抗を低減し、導電層の製造方法を得る。

【解決手段】 シリコン基板1の上面内にエクステンション5を形成した後、シリコン酸化膜6及びシリコン窒化膜7を全面に堆積する。次に、シリコン窒化膜7及びシリコン酸化膜6をこの順に異方性エッチングする。次に、シリコン酸化膜10を全面に堆積した後、シリコン酸化膜10を異方性エッチングする。次に、ゲート電極4及びサイドウォール12をマスクとしてイオン注入を行い、不純物領域13を形成する。次に、シリコン酸化

膜に対して選択性を有する条件下でシリコンの成長を行うことにより、シリコン成長層15を形成する。次に、コバルト17を全面に堆積した後、熱処理を行うことにより、コバルトシリサイド18、19を形成する。その後、未反応のコバルト17を除去する。



18, 19 : コバルトシリサイド

【특許請求의範圍】

【請求項 1】 (a) 基板의主面에, 게이트絶緣膜及  
게이트電極がこの順に積層された積層構造를選擇的に  
形成する工程と、

(b) 前記積層構造의側壁部に, 少なくとも第 1 及び第  
2 の材質から成るサイドウォールであって, 該サイドウ  
ォールの上面のうち前記第 1 の材質が露出する部分と前  
記積層構造の上面との間に, 前記第 2 の材質が露出する  
露出領域を有するサイドウォールを形成する工程と、

(c) 前記露出領域から前記積層構造の上面に延在する  
導電層を形成する工程とを備える, 半導体装置の製造方  
法。

【請求項 2】 前記サイドウォールは, 前記第 1 及び第  
2 の材質と第 3 の材質とから成り、

前記サイドウォールの前記上面は, 前記露出領域と前記  
積層構造の上面との間に, 前記第 3 の材質が露出する部  
分を有し、

前記工程 (c) は、

(c-1) 前記露出領域及び前記積層構造の上面からそ  
れぞれ半導体を成長させることにより, 게이트長方向へ  
의成長を以て, 前記露出領域から前記積層構造の上面に  
延在する半導体成長層を形成する工程と、

(c-2) 前記半導体成長層を金屬と結合させて半導体  
-金屬化合物を形成することにより, 前記導電層を形成  
する工程とにより実行される, 請求項 1 に記載の半導体  
装置の製造方法。

【請求項 3】 (a) 基板의主面에, 게이트絶緣膜及  
게이트電極がこの順に積層された積層構造를選擇的に  
形成する工程と、

(b) 前記積層構造의側壁部に, 少なくとも第 1 及び第  
2 の材質から成るサイドウォールであって, 該サイドウ  
ォールの側面のうち前記基板의前記主面附近において前  
記第 2 の材質が露出する第 1 領域を有するサイドウォ  
ールを形成する工程と、

(c) 前記第 1 領域及び露出している前記基板의前記主  
面からそれぞれ半導体を成長させることにより, 半導体  
成長層を形成する工程と、

(d) 前記半導体成長層を金屬と結合させることによ  
り, 半導体-金屬化合物を形成する工程とを備える, 半  
導体装置の製造方法。

【請求項 4】 いずれも前記工程 (c) よりも前に実行  
され、

(e) 前記基板의素子分離領域に, 少なくとも一部が前  
記基板의前記主面に突出した突出部分を有する素子分  
離構造を形成する工程と、

(f) 前記突出部分의側壁部に第 3 の材質から成る第 2  
領域を形成する工程とをさらに備え、

前記工程 (c) において, 前記半導体成長層は, 前記第  
1 領域, 露出している前記基板의前記主面, 及び前記第  
2 領域からそれぞれ前記半導体を成長させることにより  
形成される, 請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 (a) 基板의主面에, 게이트絶緣膜及  
게이트電極がこの順に積層された積層構造를選擇的に  
形成する工程と、

(b) 前記積層構造의側壁部に, 少なくとも第 1 及び第  
2 の材質から成るサイドウォールであって, 該サイドウ  
ォールの上面のうち前記第 1 の材質が露出する部分と前  
記積層構造の上面との間に, 前記第 2 の材質が露出する  
第 1 領域を有するとともに, 前記サイドウォールの側面  
のうち前記基板의前記主面附近において前記第 2 の材質  
が露出する第 2 領域を有するサイドウォールを形成する  
工程と、

(c) 前記第 1 領域及び前記積層構造の上面からそれぞ  
れ半導体を成長させることにより, 게이트長方向への成  
長を以て, 前記第 1 領域から前記積層構造の上面に延在  
する第 1 の半導体成長層を形成するとともに, 前記第 2  
領域及び露出している前記基板의前記主面からそれぞれ  
半導体を成長させることにより, 第 2 の半導体成長層を  
形成する工程と、

(d) 前記第 1 及び第 2 の半導体成長層をそれぞれ金屬  
と結合させることにより, 半導体-金屬化合物をそれぞ  
れ形成する工程とを備える, 半導体装置の製造方法。

【請求項 6】 いずれも前記工程 (c) よりも前に実行  
され、

(e) 前記基板의素子分離領域に, 少なくとも一部が前  
記基板의前記主面に突出した突出部分を有する素子分  
離構造を形成する工程と、

(f) 前記突出部分의側壁部に第 3 の材質から成る第 3  
領域を形成する工程とをさらに備え、

前記工程 (c) において, 前記第 2 の半導体成長層は,  
前記第 2 領域, 露出している前記基板의前記主面, 及び  
前記第 3 領域からそれぞれ半導体を成長させることによ  
り形成される, 請求項 5 に記載の半導体装置の製造方  
法。

【請求項 7】 (a) 第 1 の半導体素子が形成される第  
1 の素子形成領域と, 第 2 の半導体素子が形成される第  
2 の素子形成領域とを有する基板を用いて, 前記第 1 の  
素子形成領域における前記基板의主面に, 게이트絶緣  
膜及게이트電極がこの順に積層された第 1 の積層構造  
を形成するとともに, 前記第 2 の素子形成領域における  
前記基板의主面に, 게이트絶緣膜及게이트電極がこの  
順に積層された第 2 の積層構造を形成する工程と、

(b) 前記第 1 の積層構造의側壁部に, 第 1 の幅を有す  
る第 1 のサイドウォールを形成する工程と、

(c) 前記第 2 の積層構造의側壁部に, 前記第 1 の幅と  
は異なる第 2 の幅を有する第 2 のサイドウォールを形成  
する工程と、

(d) 前記第 1 及び第 2 の積層構造, 及び前記第 1 及び  
第 2 のサイドウォールをマスクとして, 前記基板의前記  
主面内に不純物を導入することにより, 前記第 1 の素子

形成領域における前記基板の前記主面内に對を成す第 1 の不純物導入領域を、前記第 2 の素子形成領域における前記基板の前記主面内に對を成す第 2 の不純物導入領域をそれぞれ形成する工程とを備える、半導体装置の製造方法。

【請求項 8】 前記工程 (b) においては、少なくとも第 1 及び第 2 の材質から成るサイドウォールであって、該サイドウォールの上面のうち前記第 1 の材質が露出する部分と前記第 1 の積層構造の上面との間に、前記第 2 の材質が露出する露出領域を有する前記第 1 のサイドウォールが形成され、

(e) 前記露出領域から前記第 1 の積層構造の上面に延在する導電層を形成する工程とをさらに備える、請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記工程 (c) において、前記第 2 のサイドウォールは、

(c-1) 前記第 2 の積層構造の側壁部に前記第 1 のサイドウォールを形成する工程と、

(c-2) 前記第 1 のサイドウォールから前記第 1 の材質を除去する工程とにより形成される、請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 基板と、

前記基板の主面に選択的に形成された、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造と、

前記積層構造の側壁部に形成された、少なくとも第 1 及び第 2 の材質から成るサイドウォールであって、該サイドウォールの上面のうち前記第 1 の材質が露出する部分と前記積層構造の上面との間に、前記第 2 の材質が露出する露出領域を有するサイドウォールと、

前記露出領域から前記積層構造の上面に延在して形成された導電層とを備える半導体装置。

【請求項 11】 前記サイドウォールは、前記第 1 及び第 2 の材質と第 3 の材質とから成り、

前記サイドウォールの前記上面は、前記露出領域と前記積層構造の上面との間に、前記第 3 の材質が露出する部分を有し、

前記導電層は、前記露出領域及び前記積層構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、前記露出領域から前記積層構造の上面に延在して形成された半導体成長層を金属と結合させた半導体-金属化合物である、請求項 10 に記載の半導体装置。

【請求項 12】 基板と、

前記基板の主面に選択的に形成された、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造と、

前記積層構造の側壁部に形成された、少なくとも第 1 及び第 2 の材質から成るサイドウォールであって、該サイドウォールの側面のうち前記基板の前記主面付近において前記第 2 の材質が露出する第 1 領域を有するサイドウォールと、

前記第 1 領域及び露出している前記基板の前記主面から半導体をそれぞれ成長させた半導体成長層と金属とが結合した半導体-金属化合物から成る導電層とを備える半導体装置。

【請求項 13】 前記基板の素子分離領域に形成された、少なくとも一部が前記基板の前記主面に突出した突出部分を有する素子分離構造と、

前記突出部分の側壁部に形成された、第 3 の材質から成る第 2 領域とをさらに備え、

前記半導体成長層は、前記第 1 領域、露出している前記基板の前記主面、及び前記第 2 領域からそれぞれ前記半導体を成長させることにより形成される、請求項 12 に記載の半導体装置。

【請求項 14】 基板と、

前記基板の主面に選択的に形成された、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造と、

前記積層構造の側壁部に形成された、少なくとも第 1 及び第 2 の材質から成るサイドウォールであって、該サイドウォールの上面のうち前記第 1 の材質が露出する部分と前記積層構造の上面との間に、前記第 2 の材質が露出する第 1 領域を有するとともに、前記サイドウォールの側面のうち前記基板の前記主面付近において前記第 2 の材質が露出する第 2 領域を有するサイドウォールと、

前記第 1 領域及び前記積層構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、前記第 1 領域から前記積層構造の上面に延在して形成された第 1 の半導体成長層を金属と結合させた第 1 の半導体-金属化合物から成る第 1 の導電層と、

前記第 2 領域及び露出している前記基板の前記主面からそれぞれ半導体を成長させることにより形成された第 2 の半導体成長層を金属と結合させた第 2 の半導体-金属化合物から成る第 2 の導電層とを備える半導体装置。

【請求項 15】 前記基板の素子分離領域に形成された、少なくとも一部が前記基板の前記主面に突出した突出部分を有する素子分離構造と、

前記突出部分の側壁部に形成された、第 3 の材質から成る第 3 領域とをさらに備え、

前記第 2 の半導体成長層は、前記第 2 領域、露出している前記基板の前記主面、及び前記第 3 領域からそれぞれ前記半導体を成長させることにより形成される、請求項 14 に記載の半導体装置。

【請求項 16】 第 1 の半導体素子が形成される第 1 の素子形成領域と、第 2 の半導体素子が形成される第 2 の素子形成領域とを有する基板と、

前記第 1 の素子形成領域における前記基板の主面に選択的に形成された、ゲート絶縁膜及びゲート電極がこの順に積層された第 1 の積層構造と、

前記第 2 の素子形成領域における前記基板の主面に選択的に形成された、ゲート絶縁膜及びゲート電極がこの順に積層された第 2 の積層構造と、

前記第1の積層構造の側壁部に形成された、第1の幅を有する第1のサイドウォールと、

前記第2の積層構造の側壁部に形成された、前記第1の幅とは異なる第2の幅を有する第2のサイドウォールと、

前記第1の素子形成領域における前記基板の前記主面内に、前記第1の積層構造及び前記第1のサイドウォールをマスクとして不純物を導入することにより形成された第1の不純物導入領域と、

前記第2の素子形成領域における前記基板の前記主面内に、前記第2の積層構造及び前記第2のサイドウォールをマスクとして不純物を導入することにより形成された第2の不純物導入領域とを備える半導体装置、

【請求項17】 前記第1のサイドウォールは、少なくとも第1及び第2の材質から成り、前記第1のサイドウォールの上面のうち前記第1の材質が露出する部分と前記第1の積層構造の上面との間に、前記第2の材質が露出する露出領域を有し、

前記露出領域から前記第1の積層構造の上面に延在して形成された導電層をさらに備える、請求項16に記載の半導体装置、

【請求項18】 前記第2のサイドウォールは、前記第2の積層構造の側壁部に形成された前記第1のサイドウォールから前記第1の材質を除去することにより形成される、請求項17に記載の半導体装置、

【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に関し、特に、サリサイド構造を有するMOSFETの構造及びその製造方法に関する。また、この発明は、一つのウェハ内に用途の異なる複数種類の半導体素子が形成された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来の技術1、図46～図52は、従来の半導体装置の製造方法を工程順に示す断面図である。特に、サリサイド構造を有するMOSFETの製造工程を順に示すものである。まず、シリコン基板101の素子分離領域にシリコン酸化膜から成る素子分離絶縁膜102を形成した後、ウェルやチャネル(図示しない)等を形成するためのイオン注入を行い、その後、シリコン基板101の上面に、シリコン酸化膜から成るゲート酸化膜103及びポリシリコンから成るゲート電極104を選択的に形成する。その後、イオン注入を行い、シリコン基板101の上面内に不純物領域(以下「エクステンション」と表記する)105を形成する(図46)。

【0003】次に、例えばCVD法により、シリコン酸化膜106を全面に堆積した後、シリコン酸化膜106上にシリコン窒化膜107を堆積する(図47)。次に、シリコン基板101の深さ方向にエッチングレート

の高い異方性ドライエッチング法により、シリコン酸化膜107及びシリコン窒化膜106をこの順にエッチングし、シリコン基板101の上面を露出する。これにより、ゲート電極104の側壁部に、シリコン酸化膜108及びシリコン窒化膜109から成るサイドウォール110を形成する(図48)。

【0004】次に、ゲート電極104及びサイドウォール110をマスクとしてイオン注入を行い、露出しているシリコン基板101の上面内に不純物領域111を形成する。その結果、シリコン基板101の上面内には、エクステンション105及び不純物領域111から成るソース・ドレイン領域112が形成される(図49)。

【0005】次に、シリコン酸化膜及びシリコン窒化膜に対して選択性を有する条件下でシリコンの成長を行い(これは、シリコン酸化膜上及びシリコン窒化膜上にはシリコンが成長せず、その他の領域上にはシリコンが成長する条件下での結晶成長を意味する。)、ゲート電極104の上面上にシリコン成長層113を形成するとともに、不純物領域111が形成されている部分のシリコン基板101の上面上にシリコン成長層114を形成する(図50)。

【0006】次に、例えばCVD法によりコバルト115を全面に堆積した後(図51)、空気をアルゴン等の不活性ガス雰囲気中で熱処理を行う。これによりコバルト115とシリコン成長層113、114とが反応し、コバルトシリサイド116、117が形成される。その後、未反応のコバルト115を除去する(図52)。以上の工程により、サリサイド構造を有するMOSFETが作製される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0007】従来の技術2、図53～図57は、従来の半導体装置の製造方法を工程順に示す断面図である。特に、一つのウェハ内に用途の異なる複数種類の半導体素子が形成された半導体装置の製造工程を順に示すものである。まず、シリコン基板101の素子分離領域にシリコン酸化膜から成る素子分離絶縁膜102を形成した後、ウェルやチャネル(図示しない)等を形成するためのイオン注入を行い、その後、シリコン基板101の上面に、シリコン酸化膜から成るゲート酸化膜103及びポリシリコンから成るゲート電極104を選択的に形成する。その後、イオン注入を行い、シリコン基板101の上面内にエクステンション105を形成する(図53)。

【0008】次に、例えばCVD法により、シリコン酸化膜106を全面に堆積する(図54)。その後、例えばCVD法により、シリコン酸化膜106上にシリコン窒化膜107を堆積する(図55)。次に、シリコン基板101の深さ方向にエッチングレートの高い異方性ドライエッチング法により、シリコン窒化膜107及びシリコン酸化膜106をこの順にエッチングし、シリコン

基板 101 の上면을露出する。これにより、シリコン基板 101 の DRAM 部においては、シリコン酸化膜 108 及びシリコン窒化膜 109 から成るサイドウォール 110a がゲート電極 104 の側壁部に形成され、一方、シリコン基板 101 のロジック部においては、シリコン酸化膜 108 及びシリコン窒化膜 109 から成るサイドウォール 110b がゲート電極 104 の側壁部に形成される(図 56)。

【0009】次に、ゲート電極 104 及びサイドウォール 110a、110b をマスクとしてイオン注入を行い、露出しているシリコン基板 101 の上面内に不純物領域 111 を形成する。その結果、シリコン基板 101 の上面内には、エクステンション 105 及び不純物領域 111 から成るソース・ドレイン領域 112 が形成される(図 57)。以上の工程により、シリコン基板 101 の DRAM 部には DRAM 用 MOSFET が、ロジック部にはロジック用 MOSFET がそれぞれ作製される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0010】

【発明が解決しようとする課題】従来技術 1 に関する問題点。MOSFET の動作の高速化や高周波特性の向上を図るためには、ゲート抵抗やソース・ドレイン抵抗を低減することも重要である。図 52 に示した MOSFET のように、ゲート電極 104 上にコバルトシリサイド 116 等の導電層を形成することによってゲート抵抗は低減されるが、コバルトシリサイド 116 の幅を広げることができれば、ゲート抵抗をさらに低減することが可能となる。

【0011】しかし、図 52 に示したように、従来の MOSFET においてはコバルトシリサイド 116 の幅はゲート長にほぼ等しいため、コバルトシリサイド 116 の幅を広げるためにはゲート長を広げる必要がある。ところが、ゲート長を広げるためにゲート電極 104 の幅を大きくすると、これに伴ってソース・ドレイン間の距離も大きくなる。その結果、チャネル抵抗が増大して MOSFET の駆動電流が減少し、却って、MOSFET の動作速度や高周波特性が低下するばかりでなく、デバイスの微細化の要求にも反することになるという問題点があった。

【0012】また、図 58、59 は、それぞれ図 50 の A 部分及び B 部分を拡大して示す断面図である。上述したように、シリコン成長層 114 は、シリコン基板 101 の上面上にシリコンを成長させることによって形成される。このとき、特定の面方位が成長速度に影響を及ぼすため、シリコン成長層 114 の端部にはファセットが現れる。図 58 には、シリコン成長層 114 のサイドウォール 110a の端部に現れるファセット 120a を、図 59 には、シリコン成長層 114 の素子分離絶縁膜 102 の端部に現れるファセット 120b をそれぞれ示

した。なお、図 59 にはシリコン酸化膜 106a が示されているが、これは、サイドウォール 110 を形成する際の異方性ドライエッチングの際に、素子分離絶縁膜 102 上に堆積されたシリコン酸化膜 106 が素子分離絶縁膜 102 の側壁部に残ったものである。

【0013】このファセット 120a、120b の存在により、シリコン成長層 114 の端部の膜厚は、中央部の膜厚よりも薄くなる。シリコン成長層 114 をシリサイド化してコバルトシリサイド 117 を形成する場合、シリサイド化は、シリコン成長層 114 とコバルト 115 との界面、即ちシリコン成長層 114 の上面から深さ方向に次第に進行する。従って、シリコン成長層 114 の膜厚が薄い端部においては、膜厚が厚い中央部と比較すると、コバルトシリサイド 117 はシリコン基板 101 の内部深くにまで形成されることになる。そのため、シリコン基板 101 の内部深くに形成されたコバルトシリサイド 117 がソース・ドレイン領域 112 を突き抜けないようにするためには、ソース・ドレイン領域 112 を予め深く形成しておく必要がある。このような事情により、従来の MOSFET の製造方法においては、ソース・ドレイン領域 112 をあまり深く形成することができず、デバイスの微細化が困難であるという問題点もあった。

【0014】従来技術 2 に関する問題点。図 57 に示したように、シリコン基板 101 には、DRAM 用 MOSFET とロジック用 MOSFET とが混在して形成されている。ところで、DRAM 用 MOSFET には安定した電気的特性が要求されるため、ソース領域及びドレイン領域を確実に形成するためには、プロセスのばらつきを考慮して不純物領域 111 同士の間の距離はある程度離れていることが望ましい。一方、ロジック用 MOSFET には高駆動能力が要求されるため、ソース及びドレインの各抵抗値を下げるためには、不純物領域 111 同士の間の距離はできるだけ短い方が望ましい。このように、MOSFET に要求される性能が DRAM 用とロジック用とでは異なることに起因して、不純物領域 111 同士の間の距離を各 MOSFET に関して個別に設定することができれば望ましい。

【0015】しかし、図 57 に示したように、従来の半導体装置の製造方法では、DRAM 部のサイドウォール 110a の幅と、ロジック部のサイドウォール 110b の幅とは互いに等しい。このため、その後のイオン注入により形成されるソース部の不純物領域 111 とドレイン部の不純物領域 111 との間の距離は、DRAM 部及びロジック部において同一となり、この要求に応えられないという問題点があった。

【0016】本発明はこれらの問題点を解決するために成されたものであり、第 1 に、シリサイド構造を有する MOSFET に関して、ゲート長を広げることなく、ゲート電極上に形成された導電層の幅を広げることによ

리, 게이트 저항을さらに低減し得る半導体装置及びその製造方法を得ること、及び、基板のソース・ド레인領域に形成される結電層が基板の内部深くにまで達することを回避することにより、深いソース・ド레인領域を形成することを可能とし、微細化に適した半導体装置及びその製造方法を得ることを目的とする。また、第2に、一つのウェハ内に用途の異なる複数種類の半導体素子が形成される半導体装置に関して、要求される性能に応じてソース部の不純物領域とド레인部の不純物領域との間の距離を個別に設定し得る半導体装置及びその製造方法を得ることを目的とする。

【0017】

【課題を解決するための手段】この発明のうち請求項1に記載の半導体装置の製造方法は、(a)基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造を選択的に形成する工程と、(b)積層構造の側壁部に、少なくとも第1及び第2の材質から成るサイドウォールであって、該サイドウォールの上面のうち第1の材質が露出する部分と積層構造の上面との間に、第2の材質が露出する露出領域を有するサイドウォールを形成する工程と、(c)露出領域から積層構造の上面に延在する結電層を形成する工程とを備えるものである。

【0018】また、この発明のうち請求項2に記載の半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法であって、サイドウォールは、第1及び第2の材質と第3の材質とから成り、サイドウォールの上面は、露出領域と積層構造の上面との間に、第3の材質が露出する部分を有し、工程(c)は、(c-1)露出領域及び積層構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、露出領域から積層構造の上面に延在する半導体成長層を形成する工程と、(c-2)半導体成長層を金属と結合させて半導体-金属化合物を形成することにより、結電層を形成する工程とにより実行されることを特徴とするものである。

【0019】また、この発明のうち請求項3に記載の半導体装置の製造方法は、(a)基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造を選択的に形成する工程と、(b)積層構造の側壁部に、少なくとも第1及び第2の材質から成るサイドウォールであって、該サイドウォールの側面のうち基板の主面付近において第2の材質が露出する第1領域を有するサイドウォールを形成する工程と、(c)第1領域及び露出している基板の主面からそれぞれ半導体を成長させることにより、半導体成長層を形成する工程と、(d)半導体成長層を金属と結合させることにより、半導体-金属化合物を形成する工程とを備えるものである。

【0020】また、この発明のうち請求項4に記載の半導体装置の製造方法は、請求項3に記載の半導体装置の製造方法であって、いずれも工程(c)よりも前に実行

され、(e)基板の素子分離領域に、少なくとも一部が基板の主面上に突出した突出部分を有する素子分離構造を形成する工程と、(f)突出部分の側壁部に第3の材質から成る第2領域を形成する工程とをさらに備え、工程(c)において、半導体成長層は、第1領域、露出している基板の主面、及び第2領域からそれぞれ半導体を成長させることにより形成されることを特徴とするものである。

【0021】また、この発明のうち請求項5に記載の半導体装置の製造方法は、(a)基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された積層構造を選択的に形成する工程と、(b)積層構造の側壁部に、少なくとも第1及び第2の材質から成るサイドウォールであって、該サイドウォールの上面のうち第1の材質が露出する部分と積層構造の上面との間に、第2の材質が露出する第1領域を有するとともに、サイドウォールの側面のうち基板の主面付近において第2の材質が露出する第2領域を有するサイドウォールを形成する工程と、

(c)第1領域及び積層構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、第1領域から積層構造の上面に延在する第1の半導体成長層を形成するとともに、第2領域及び露出している基板の主面からそれぞれ半導体を成長させることにより、第2の半導体成長層を形成する工程と、(d)第1及び第2の半導体成長層をそれぞれ金属と結合させることにより、半導体-金属化合物をそれぞれ形成する工程とを備えるものである。

【0022】また、この発明のうち請求項6に記載の半導体装置の製造方法は、請求項5に記載の半導体装置の製造方法であって、いずれも工程(c)よりも前に実行され、(e)基板の素子分離領域に、少なくとも一部が基板の主面上に突出した突出部分を有する素子分離構造を形成する工程と、(f)突出部分の側壁部に第3の材質から成る第3領域を形成する工程とをさらに備え、工程(c)において、第2の半導体成長層は、第2領域、露出している基板の主面、及び第3領域からそれぞれ半導体を成長させることにより形成されることを特徴とするものである。

【0023】また、この発明のうち請求項7に記載の半導体装置の製造方法は、(a)第1の半導体素子が形成される第1の素子形成領域と、第2の半導体素子が形成される第2の素子形成領域とを有する基板を用いて、第1の素子形成領域における基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された第1の積層構造を形成するとともに、第2の素子形成領域における基板の主面上に、ゲート絶縁膜及びゲート電極がこの順に積層された第2の積層構造を形成する工程と、(b)第1の積層構造の側壁部に、第1の幅を有する第1のサイドウォールを形成する工程と、(c)第2の積層構造の側壁部に、第1の幅とは異なる第2の幅を有する第2のサ

이드ウォールを形成する工程と、(d)第1及び第2の  
 積層構造、及び第1及び第2のサイドウォールをマスク  
 として、基板の主面内に不純物を導入することにより、  
 第1の素子形成領域における基板の主面内に対を成す第  
 1の不純物導入領域を、第2の素子形成領域における基  
 板の主面内に対を成す第2の不純物導入領域をそれぞれ  
 形成する工程とを備えるものである。

【0024】また、この発明のうち請求項1に記載の半  
 導体装置の製造方法は、請求項7に記載の半導体装置の  
 製造方法であって、工程(b)においては、少なくとも  
 第1及び第2の材質から成るサイドウォールであって、  
 該サイドウォールの上面のうち第1の材質が露出する部  
 分と第1の積層構造の上面との間に、第2の材質が露出  
 する露出領域を有する第1のサイドウォールが形成さ  
 れ、(e)露出領域から第1の積層構造の上面に延在す  
 る導電層を形成する工程をさらに備えることを特徴とす  
 るものである。

【0025】また、この発明のうち請求項9に記載の半  
 導体装置の製造方法は、請求項10に記載の半導体装置の  
 製造方法であって、工程(c)において、第2のサイド  
 ウォールは、(c-1)第2の積層構造の側壁部に第1  
 のサイドウォールを形成する工程と、(c-2)第1の  
 サイドウォールから第1の材質を除去する工程とにより  
 形成されることを特徴とするものである。

【0026】また、この発明のうち請求項10に記載の  
 半導体装置は、基板と、基板の主面に選択的に形成さ  
 れた、ゲート絶縁膜及びゲート電極がこの順に積層され  
 た積層構造と、積層構造の側壁部に形成された、少なく  
 とも第1及び第2の材質から成るサイドウォールであっ  
 て、該サイドウォールの上面のうち第1の材質が露出す  
 る部分と積層構造の上面との間に、第2の材質が露出す  
 る露出領域を有するサイドウォールと、露出領域から積  
 層構造の上面に延在して形成された導電層とを備えるも  
 のである。

【0027】また、この発明のうち請求項11に記載の  
 半導体装置は、請求項10に記載の半導体装置であっ  
 て、サイドウォールは、第1及び第2の材質と第3の材  
 質とから成り、サイドウォールの上面は、露出領域と積  
 層構造の上面との間に、第3の材質が露出する部分を有  
 し、導電層は、露出領域及び積層構造の上面からそれぞ  
 れ半導体を成長させることにより、ゲート長方向への成  
 長を以て、露出領域から積層構造の上面に延在して形成  
 された半導体成長層を金属と結合させた半導体-金属化  
 合物であることを特徴とするものである。

【0028】また、この発明のうち請求項12に記載の  
 半導体装置は、基板と、基板の主面に選択的に形成さ  
 れたゲート絶縁膜及びゲート電極がこの順に積層され  
 た積層構造と、積層構造の側壁部に形成された、少なく  
 とも第1及び第2の材質から成るサイドウォールであっ  
 て、該サイドウォールの側面のうち基板の主面付近にお

いて第2の材質が露出する第1領域を有するサイドワ  
 ールと、第1領域及び露出している基板の主面から半導  
 体をそれぞれ成長させた半導体成長層と金属とが結合し  
 た半導体-金属化合物から成る導電層とを備えるもので  
 ある。

【0029】また、この発明のうち請求項13に記載の  
 半導体装置は、請求項12に記載の半導体装置であっ  
 て、基板の素子分離領域に形成された、少なくとも一部  
 が基板の主面に突出した突出部分を有する素子分離構  
 造と、突出部分の側壁部に形成された、第3の材質から  
 成る第2領域とをさらに備え、半導体成長層は、第1領  
 域、露出している基板の主面、及び第2領域からそれぞ  
 れ半導体を成長させることにより形成されることを特徴  
 とするものである。

【0030】また、この発明のうち請求項14に記載の  
 半導体装置は、基板と、基板の主面に選択的に形成さ  
 れた、ゲート絶縁膜及びゲート電極がこの順に積層され  
 た積層構造と、積層構造の側壁部に形成された、少なく  
 とも第1及び第2の材質から成るサイドウォールであっ  
 て、該サイドウォールの上面のうち第1の材質が露出す  
 る部分と積層構造の上面との間に、第2の材質が露出す  
 る第1領域を有するとともに、サイドウォールの側面  
 のうち基板の主面付近において第2の材質が露出する第2  
 領域を有するサイドウォールと、第1領域及び積層構造  
 の上面からそれぞれ半導体を成長させることにより、ゲ  
 ート長方向への成長を以て、第1領域から積層構造の上  
 面に延在して形成された第1の半導体成長層を金属と結  
 合させた第1の半導体-金属化合物から成る第1の導電  
 層と、第2領域及び露出している基板の主面からそれぞ  
 れ半導体を成長させることにより形成された第2の半導  
 体成長層を金属と結合させた第2の半導体-金属化合物  
 から成る第2の導電層とを備えるものである。

【0031】また、この発明のうち請求項15に記載の  
 半導体装置は、請求項14に記載の半導体装置であっ  
 て、基板の素子分離領域に形成された、少なくとも一部  
 が基板の主面に突出した突出部分を有する素子分離構  
 造と、突出部分の側壁部に形成された、第3の材質から  
 成る第3領域とをさらに備え、第2の半導体成長層は、  
 第2領域、露出している基板の主面、及び第3領域から  
 それぞれ半導体を成長させることにより形成されること  
 を特徴とするものである。

【0032】また、この発明のうち請求項16に記載の  
 半導体装置は、第1の半導体素子が形成される第1の素  
 子形成領域と、第2の半導体素子が形成される第2の素  
 子形成領域とを有する基板と、第1の素子形成領域にお  
 ける基板の主面に選択的に形成された、ゲート絶縁膜  
 及びゲート電極がこの順に積層された第1の積層構造  
 と、第2の素子形成領域における基板の主面に選択的  
 に形成された、ゲート絶縁膜及びゲート電極がこの順に  
 積層された第2の積層構造と、第1の積層構造の側壁部



に形成された、第1の幅を有する第1のサイドウォールと、第2の積層構造の側壁部に形成された、第1の幅とは異なる第2の幅を有する第2のサイドウォールと、第1の素子形成領域における基板の主面内に、第1の積層構造及び第1のサイドウォールをマスクとして不純物を導入することにより形成された第1の不純物導入領域と、第2の素子形成領域における基板の主面内に、第2の積層構造及び第2のサイドウォールをマスクとして不純物を導入することにより形成された第2の不純物導入領域とを備えるものである。

【0033】また、この発明のうち請求項17に記載の半導体装置は、請求項16に記載の半導体装置であって、第1のサイドウォールは、少なくとも第1及び第2の材質から成り、第1のサイドウォールの上面のうち第1の材質が露出する部分と第1の積層構造の上面との間に、第2の材質が露出する露出領域を有し、露出領域から第1の積層構造の上面に延在して形成された導電層をさらに備えることを特徴とするものである。

【0034】また、この発明のうち請求項18に記載の半導体装置は、請求項17に記載の半導体装置であって、第2のサイドウォールは、第2の積層構造の側壁部に形成された第1のサイドウォールから第1の材質を除去することにより形成されることを特徴とするものである。

【0035】  
【発明の実施の形態】実施の形態1、図1～図9は、本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。まず、シリコン基板1の素子分離領域にシリコン酸化膜又はシリコン窒化膜から成る素子分離絶縁膜2を形成した後、ウェルやチャネル(図示しない)等を形成するためのイオン注入を行い、その後、シリコン基板1の上面上に、ゲート酸化膜3及びゲート電極4がこの順に積層された積層構造を選択的に形成する。ここで、ゲート酸化膜3は例えばシリコン酸化膜から成り、ゲート電極4は例えばポリシリコンから成る。また、ゲート電極4の幅(ゲート長にほぼ等しい)は、0.1 $\mu$ m程度とする。その後、ゲート電極4をマスクとしてイオン注入を行い、シリコン基板1の上面内にエクステンション5を形成する(図1)。

【0036】次に、例えばCVD法によりシリコン酸化膜6を全面に堆積した後、シリコン酸化膜6上にシリコン窒化膜7を堆積する(図2)。シリコン酸化膜6は、シリコン窒化膜7とシリコン基板1とが接触することを防止するための下地酸化膜であり、0.01 $\mu$ m程度の膜厚を有していればよい。但し、後述するシリコン成長層15、16を0.1 $\mu$ m程度の膜厚に形成する場合、シリコン酸化膜6は最大0.05 $\mu$ m程度の膜厚に形成することができる。また、シリコン窒化膜7は、0.05 $\mu$ m程度の膜厚に堆積すればよい。

【0037】次に、シリコン基板1の深さ方向にエッチ

ングレートの高い異方性ドライエッチング法により、シリコン窒化膜7及びシリコン酸化膜6をこの順にエッチングし、シリコン基板1の上面を露出する。このとき、ゲート電極4の側壁部には、シリコン窒化膜9及びシリコン酸化膜8が残る(図3)。

【0038】次に、例えばCVD法により、0.05 $\mu$ m程度の膜厚を有するシリコン酸化膜10を全面に堆積する(図4)。次に、シリコン基板1の深さ方向にエッチングレートの高い異方性ドライエッチング法により、シリコン酸化膜10をエッチングし、シリコン基板1の上面を露出する。これにより、ゲート電極4の側壁部には、シリコン酸化膜8、11及びシリコン窒化膜9から成るサイドウォール12が形成される(図5)。

【0039】次に、ゲート電極4及びサイドウォール12をマスクとしてイオン注入を行い、露出しているシリコン基板1の上面内に不純物領域13を形成する。その結果、シリコン基板1の上面内には、エクステンション5及び不純物領域13から成るソース・ドレイン領域14が形成される(図6)。

【0040】次に、シリコン酸化膜に対して選択性を有する条件下で、シリコンの成長を行う。これは、シリコン酸化膜上にはシリコンが成長せず、その他の領域上にはシリコンが成長する条件下でのシリコン成長を意味する。この条件としては、例えば、ジシランガスをを用いて、流量0.1～2sccm、温度550～700℃、圧力1 $\times$ 10<sup>-3</sup>～1 $\times$ 10<sup>-4</sup>orr等の条件が考えられる。ここで、従来技術ではシリコン窒化膜に対しても選択性を有する条件下でシリコン成長を行ったが、シリコン窒化膜に対して選択性を有させるためには増粘ガス等を使用する必要がある。従って、シリコン窒化膜に対しては選択性を有しない本実施の形態1に係るプロセスの方が従来技術よりも簡便である。

【0041】これにより、シリコン窒化膜9の上面上、ゲート電極4の上面上、及び不純物領域13が形成されている部分のシリコン基板1の上面上に、それぞれシリコンが成長する(図7)。ところで、図7に示すように、シリコン窒化膜9の上面とゲート電極4の上面との間には、シリコン酸化膜8の上面が存在する。しかし、シリコンは、ゲート電極4の上面の法線方向のみならず、ゲート長方向(図7において、紙面の左右方向に相当する)にも成長する。このため、このゲート長方向へのシリコン成長によって、シリコン窒化膜9の上面上に成長したシリコンと、ゲート電極4の上面上に成長したシリコンとが互いに接触する。その結果、シリコン窒化膜9の上面からゲート電極4の上面に延在するシリコン成長層15を形成することができる。また、不純物領域13が形成されている部分のシリコン基板1の上面上には、シリコン成長層16が形成される。シリコン成長層15、16の膜厚は、0.1 $\mu$ m程度あれば十分である。なお、シリコン窒化膜9のゲート電極4と反対側の

側面はシリコン酸化膜 11 によって覆われているため、この部分にシリコンが成長することはない。即ち、シリコン酸化膜 11 は、シリコン成長層 15 とシリコン成長層 16 とが互いに接触するのを回避する機能を有する。

【0042】次に、例えば CVD 法によりコバルト 17 を全面に堆積した後(図 8)、窒素やアルゴン等の不活性ガス雰囲気中で熱処理を行う。これによりコバルト 17 とシリコン成長層 15、16 とが反応し、コバルトシリサイド 18、19 が形成される。その後、コバルト 17 とシリコン成長層 15、16 とが接触していない部分の未反応のコバルト 17 を除去する(図 9)。以上の工程により、シリサイド構造を有する MOSFET が作製される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0043】このように本実施の形態 1 に係る半導体装置の製造方法によれば、ゲート電極 4 の上部に、ゲート電極 4 の幅 W1 よりも広い幅 W2 を有するコバルトシリサイド 18 を形成することができる(図 9)。ここで、コバルトシリサイド 18 の抵抗値は、ゲート電極 4 の材料たるポリシリコンの抵抗値よりも十分小さいため、ゲート抵抗は、ほぼコバルトシリサイド 18 の幅及び膜厚によって決定される。例えば、ゲート長 W1 が 0.1  $\mu\text{m}$ 、サイドウォール 12 の幅が 0.05  $\mu\text{m}$ 、シリコン酸化膜 11 の幅が 0.005  $\mu\text{m}$ (シリコン酸化膜 11 の上記膜厚上、この程度の膜厚で十分である)である場合、コバルトシリサイド 18 の幅 W2 は約 1.90  $\mu\text{m}$  となり、W1 よりも約 0.09  $\mu\text{m}$  だけ長くなる。これにより、ゲート抵抗をほぼ半分に低減することができる。このように本実施の形態 1 に係る半導体装置の製造方法によれば、ゲート長を広げることなくゲート抵抗を低減することが可能となる。

【0044】なお、サイドウォール 12 の構造に関して、サイドウォール 12 の上面においてシリコン窒化膜 9 の上面が露出する部分と、ゲート電極 4 の上面との間に、シリコン窒化膜 8 の上面が露出する部分が必要しも存在する必要はない。従って、サイドウォール 12 の構造としては、その上面において、少なくとも、シリコン窒化膜 9 が露出する部分と、この部分よりも外側においてシリコン窒化膜 11 が露出する部分とが存在すればよい。

【0045】以下、本実施の形態 1 に係る半導体装置及びその製造方法の実形例について説明する。特に断らない限り、下記実形例は、後述する各実施の形態についても適用可能である。

【0046】一般的にシリコン成長を行う場合、ポリシリコン上に成長させた場合はポリシリコンから成るシリコン成長層が形成され、単結晶シリコン上に成長させた場合は単結晶から成るシリコン成長層が形成される。従って、以上の説明によると、シリコン成長層 15 はポリシリコンによって構成され、シリコン成長層 16 は単結

晶シリコンによって構成されることになる。しかし、シリコンであればその形態は問わず、単結晶シリコン、ポリシリコン、アモルファスシリコンのいずれであってもよい。さらに、以上の説明ではシリコン成長層 15、16 をシリサイド化することにより導電層としたが、シリコン成長層 15、16 を形成した後の工程において、シリコン成長層 15、16 に不純物をドーピングすることによって導電層を形成してもよい。

【0047】また、コバルトシリサイド 18、19 の代わりに、チタンシリサイド、ニッケルシリサイド、タングステンシリサイド等の他のシリサイドを形成してもよい。さらに、シリコン成長層 15、16 を形成してからこれをシリサイド化するという一連の工程の代わりに、モリブデンやタングステン等の金属を、シリコン酸化膜に対して選択性を有する条件下で成長させてもよい。この場合は、シリサイド化工程を省略することができる。

【0048】また、シリコン成長層 15、16 は、ゲルマニウム、あるいはシリコンとゲルマニウムとの化合物であってもよい。

【0049】また、例えば図 9 に示したように、シリコン窒化膜 9 のゲート電極 4 と反対側の側面は、絶縁膜であるシリコン窒化膜 11 によって覆われている。従って、シリコン窒化膜 9 の代わりに、シリコン窒化膜等の他の絶縁膜、あるいは、ポリシリコン、ゲルマニウム、シリコンゲルマニウムの半導体や、上記各種シリサイド、金属等を形成した場合であっても、ゲートとソース・ドレインとのショートは起こらない。但し、後述する実施の形態 2 に関しては、シリコン窒化膜 9 の代わりにシリサイドや金属等の導電体を形成することはできない。

【0050】また、サイドウォール 12 の上面構造に関して、シリコン窒化膜 9 の露出部分の上面と、シリコン窒化膜 8、11 の各露出部分の上面とが必ずしも一致している必要はない。シリコン窒化膜 9 の露出部分の上面を上記各露出部分の上面よりも沈ませておくことにより、後に形成されるコバルトシリサイド 18 の実効的な幅を広げることができ、ゲート抵抗をさらに低減することができる。

【0051】実施の形態 2、図 10 は、図 7 の A 部分を拡大して示す断面図である。シリコン成長層 16 のゲート電極 4 側の端面に、ファセット 20a が現れている。本実施の形態 2 では、このファセット 20a の発生を回避し得る半導体装置の製造方法を提案する。

【0052】図 11 ~ 図 16 は、本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法により図 1 に示す構造と同様の構造を得た後、例えば CVD 法によりシリコン窒化膜 30 を全面に堆積する。その後、例えば CVD 法により、シリコン窒化膜 30 上にシリコン窒化

膜31을, 실리콘산화膜31上にシリコン酸化膜32をそれぞれ堆積する(図11)。

【0053】次に, 실리콘基板1の深さ方向にエッチングレートの高い異方性ドライエッチング法により, 실리콘酸化膜32, 실리콘산화膜31, 及びシリコン酸化膜30をこの順にエッチングし, 실리콘基板1の上面を露出する。これにより, 게이트電極4の側壁部には, 실리콘산화膜33, 35及びシリコン산화膜34から成る사이드ウォール36が形成される(図12)。図12に示すように, 사이드ウォール36의 게이트電極4と反対側の側面には, 실리콘基板1의上面付近に, 실리콘산화膜34의側面が露出する部分が存在する。また, 사이드ウォール36의上面には, 실리콘산화膜34의上面が露出する部分と, この部分よりも게이트電極4と反対側の領域においてシリコン酸化膜35が露出する部分とが存在する。

【0054】次に, 게이트電極4及び사이드ウォール36をマスクとしてイオン注入を行い, 露出しているシリコン基板1의上面内に不純物領域13を形成する。その結果, 실리콘基板1의上面内には, 익스テンション5及び不純物領域13から成るソース・ドレイン領域14が形成される(図13)。

【0055】次に, 上記実施の形態1と同様にシリコン酸化膜に対して選択性を有する低圧下でシリコン成長を行う。これにより, 실리콘산화膜34の上面上, 게이트電極4の上面上, 不純物領域13が形成されている部分のシリコン基板1의上面上, 及び사이드ウォール36의側面において露出するシリコン산화膜34의側面上に, それぞれシリコンが成長する(図14)。ところで, 図14に示すように, 실리콘산화膜34の上面と게이트電極4の上面との間には, 실리콘산화膜33の上面が存在する。しかし, 게이트長方向へのシリコン成長によって, 실리콘산화膜34の上面上に成長したシリコンと, 게이트電極4の上面上に成長したシリコンとが互いに接触し, その結果, 실리콘산화膜34の上面から게이트電極4の上面に延在するシリコン成長層15を形成することができる。また, 不純物領域13が形成されている部分のシリコン基板1의上面上にはシリコン成長層16が形成され, 실리콘산화膜34의側面にはシリコン成長層37が形成される。そして, これらのシリコン成長層16, 37は互いに接触している。なお, 실리콘산화膜34의 게이트電極4と反対側の側面はシリコン산화膜35によって覆われているため, この部分にシリコンが成長することはない。即ち, 실리콘산화膜35は, 실리콘成長層15とシリコン成長層16, 37とが互いに接触するのを回避する機能を有する。

【0056】次に, 例えばCVD法によりコバルト17を全面に堆積した後(図15), 窒素やアルゴン等の不活性ガス雰囲気中で熱処理を行う。これによりコバルト

17とシリコン成長層15, 16, 37とが反応し, コバルトシリサイド18, 38が形成される。その後, コバルト17とシリコン成長層15, 16, 37とが接触していない部分の未反応のコバルト17を除去する(図16)。以上の工程により, サリサイド構造を有するMOSFETが作製される。その後, 層間絶縁膜の形成工程や配線工程等のプロセスを経て, デバイスが完成する。

【0057】このように本実施の形態2に係る半導体装置の製造方法によれば, 사이드ウォール36의側面には, 실리콘산화膜34의側面が露出する部分が存在するため, 실리콘を成長させることにより, この部分にもシリコン成長層37が形成される。そして, このシリコン산화膜34의側面が露出する部分は, 실리콘基板1의上面付近に形成されているため, 실리콘成長層37は, 실리콘基板1上に成長したシリコン成長層16に接触する。従って, 図10に示したファセット20aの発生を回避することができる。

【0058】実施の形態3, 図17は, 図7のB部分を拡大して示す断面図である。シリコン成長層16의 게이트電極4と反対側の端部に, ファセット20bが現れている。なお, 素子分離絶縁膜2の側壁部に形成されているシリコン酸化膜6aは, 図3に示したシリコン酸化膜6及びシリコン산화膜9を形成する際の異方性ドライエッチングの際に, 素子分離絶縁膜2上に堆積されたシリコン酸化膜6が素子分離絶縁膜2の側壁部に残ったものである。本実施の形態3では, このファセット20bの発生を回避し得る半導体装置の製造方法を提案する。

【0059】図18~図25は, 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。特に, 上記実施の形態2に係る半導体装置の製造方法を基礎としており, 以下, これとの相違点を中心に説明する。まず, 上記実施の形態1と同様の方法により図11に示す構造と同様の構造を得た後, 熱酸化法により, 실리콘基板1の上面上と, 게이트電極4の側面及び上面上とに, 熱酸化膜40を形成する。その後, 例えばCVD法により, 熱酸化膜40上にシリコン산화膜31を堆積し, さらに, 실리콘산화膜31上にシリコン酸化膜32を堆積する(図18)。

【0060】次に, 실리콘基板1の深さ方向にエッチングレートの高い異方性ドライエッチング法により, 실리콘酸化膜32, 실리콘산화膜31, 及び熱酸化膜40をこの順にエッチングし, 실리콘基板1の上面を露出する。これにより, 게이트電極4の側壁部には, 실리콘산화膜33, 35及びシリコン산화膜34から成る사이드ウォール36が形成される(図19)。図20は, 図19のC部分を拡大して示す断面図である。素子分離絶縁膜2の一部はシリコン基板1の上面よりも突出している。このため, 素子分離絶縁膜2の側壁部には, 실리콘산화膜33, 35及びシリコン산화膜34を形

成する際の高方性ドライエッチングの際に素子分離絶縁 2 の側壁部に残った、熱酸化膜 3 3 a 及びシリコン酸化膜 3 4 a が存在する。

【0061】次に、ゲート電極 4 及びサイドウォール 3 6 をマスクとしてイオン注入を行い、露出しているシリコン基板 1 の上面内に不純物領域 1 3 を形成する。その結果、シリコン基板 1 の上面内には、エクステンション 5 及び不純物領域 1 3 から成るソース・ドレイン領域 1 4 が形成される (図 2 1)。

【0062】次に、上記実施の形態 1 と同様にシリコン酸化膜に対して選択性を有する条件下でシリコン成長を行う。これにより、シリコン酸化膜 3 4 の上面上、ゲート電極 4 の上面上、不純物領域 1 3 が形成されている部分のシリコン基板 1 の上面上、サイドウォール 3 6 の側面において露出するシリコン酸化膜 3 4 の側面、及び、素子分離絶縁 2 の側壁部に残ったシリコン酸化膜 3 4 a の表面上に、それぞれシリコンが成長する (図 2 2)。図 2 3 は、図 2 2 の O 部分を拡大して示す断面図である。図 2 3 に示すように、シリコン酸化膜 3 4 a の表面上に形成されたシリコン成長層 4 1 は、シリコン基板 1 上に形成されたシリコン成長層 1 6 に接触している。

【0063】次に、例えば CVD 法によりコバルト 1 7 を全面に堆積した後 (図 2 4)、窒素やアルゴン等の不活性ガス雰囲気中で熱処理を行う。これによりコバルト 1 7 とシリコン成長層 1 5、1 6、3 7、4 1 とが反応し、コバルトシリサイド 1 8、4 2 が形成される。その後、コバルト 1 7 とシリコン成長層 1 5、1 6、3 7、4 1 とが接触していない部分の未反応のコバルト 1 7 を除去する (図 2 5)。以上の工程により、シリサイド構造を有する MOSFET が作製される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0064】なお、以上の説明では上記実施の形態 2 に係る半導体装置の製造方法を基礎として述べたが、上記実施の形態 1 に係る半導体装置の製造方法を基礎として、本実施の形態 3 に係る半導体装置の製造方法を実行することもできる。

【0065】このように本実施の形態 3 に係る半導体装置の製造方法によれば、素子分離絶縁 2 の側壁部にシリコン酸化膜 3 4 a が存在するため、シリコンを成長させることにより、この部分にもシリコン成長層 4 1 が形成される。そして、図 2 4 に示したように、このシリコン成長層 4 1 は、シリコン基板 1 上に成長したシリコン成長層 1 6 に接触する。従って、図 1 7 に示したフェセット 2 0 b の発生を回避することができる。

【0066】その結果、シリコン成長層 1 6、3 7、4 1 の各上面と、シリコン基板 1 の上面との間の距離が長くなり、コバルトシリサイド 4 2 はシリコン基板 1 の内部深くにまで達しないため、ソース・ドレイン領域 1 4

を狭く形成することができ、半導体装置の微細化を図ることができる。

【0067】実施の形態 4、本実施の形態 4 は、一つのウェハ内に用途の異なる複数種類の半導体素子が形成された半導体装置の製造方法に関するものである。特に、シリコン基板の DRAM 部に DRAM 用 MOSFET を、ロジック部にロジック用 MOSFET をそれぞれ形成する場合を例にとり説明する。

【0068】図 2 5 ~ 図 3 4 は、本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。まず、シリコン基板 1 の素子分離領域にシリコン酸化膜から成る素子分離絶縁 2 を形成した後、ウェルやチャネル (図示しない) 等を形成するためのイオン注入をシリコン基板 1 の全面に行う。その後、DRAM 部におけるシリコン基板 1 の上面上に、ゲート酸化膜 3 及びゲート電極 4 a がこの順に積層された積層構造を選択的に形成するとともに、ロジック部におけるシリコン基板 1 の上面上に、ゲート酸化膜 3 及びゲート電極 4 b がこの順に積層された積層構造を選択的に形成する。ここで、ゲート酸化膜 3 は例えばシリコン酸化膜から成り、ゲート電極 4 a、4 b は例えばポリシリコンから成る。また、ゲート電極 4 a、4 b の幅 (ゲート長) にほぼ等しいは、0.1  $\mu$ m 程度とする。その後、ゲート電極 4 a、4 b をマスクとして、シリコン基板 1 の全面に於いてイオン注入を行い、シリコン基板 1 の上面内にエクステンション 5 を形成する (図 2 6)。

【0069】次に、例えば CVD 法によりシリコン酸化膜 6 を全面に堆積した後 (図 2 7)、シリコン酸化膜 6 上にシリコン酸化膜 7 を堆積する (図 2 8)。シリコン酸化膜 6 は、シリコン酸化膜 7 とシリコン基板 1 とが接触することを防止するための下地酸化膜であり、0.01  $\mu$ m 程度の膜厚を有していればよい。また、シリコン酸化膜 7 は、0.05  $\mu$ m 程度の膜厚に堆積すればよい。

【0070】次に、シリコン基板 1 の深さ方向にエッチングレートの高い高方性ドライエッチング法により、シリコン酸化膜 7 及びシリコン酸化膜 6 をこの順にエッチングし、シリコン基板 1 の上面を露出する。このとき、ゲート電極 4 a、4 b の各側壁部には、シリコン酸化膜 9 及びシリコン酸化膜 8 が残る (図 2 9)。

【0071】次に、例えば CVD 法により、0.05  $\mu$ m 程度の膜厚を有するシリコン酸化膜 10 を全面に堆積する (図 3 0)。次に、シリコン基板 1 の深さ方向にエッチングレートの高い高方性ドライエッチング法により、シリコン酸化膜 10 をエッチングし、シリコン基板 1 の上面を露出する (図 3 1)。このとき、図 3 1 に示すように、シリコン酸化膜 9 のゲート電極 4 a、4 b と反対側の側壁部には、シリコン酸化膜 11 が残る。

【0072】次に、写真製版法により、シリコン基板 1 の DRAM 部にレジスト 5 0 を形成する (図 3 2)。次

に、レジスト50によって覆われていないロジック部のシリコン酸化膜11を、例えばフッ酸等によって除去する。その後、レジスト50を除去する(図33)。図33に示すように、シリコン基板1のDRAM部におけるゲート電極4aの側壁部には、シリコン酸化膜8、11及びシリコン窒化膜9から成るサイドウォール12aが形成されており、一方、ロジック部におけるゲート電極4bの側壁部には、シリコン酸化膜8及びシリコン窒化膜9から成るサイドウォール12bが形成されている。

【0073】次に、ゲート電極4a、4b、シリコン酸化膜8、11、及びシリコン窒化膜9をマスクとしてイオン注入を行い、露出しているシリコン基板1の上表面内に不純物領域13を形成する。その結果、DRAM部及びロジック部におけるシリコン基板1の上表面内には、エクステンション5及び不純物領域13から成るソース・ドレイン領域14がそれぞれ形成される(図34)。以上の工程により、シリコン基板1のDRAM部にはDRAM用MOSFETが、ロジック部にはロジック用MOSFETがそれぞれ作製される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0074】このように本実施の形態4に係る半導体装置の製造方法によれば、DRAM用MOSFETのサイドウォール12aの幅は、シリコン酸化膜8、11の幅とシリコン窒化膜9の幅との合計となり、一方、ロジック用MOSFETのサイドウォール12bの幅は、シリコン酸化膜8の幅とシリコン窒化膜9の幅との合計となる。即ち、DRAM用MOSFETとロジック用MOSFETとで、サイドウォールの幅を異なる値に設定することができる。その結果、ソース部における不純物領域13と、ドレイン部における不純物領域13との間の距離を、DRAM用MOSFETとロジック用MOSFETとで異ならせることができる。従って、DRAM用MOSFETではこの距離を大きくすることで安定した電気的特性を得ることができ、一方、ロジック用MOSFETではこの距離を小さくすることで高駆動能力を得ることができる。

【0075】実施の形態5。本実施の形態5は、上記実施の形態4に係る半導体装置の製造方法と、上記実施の形態1に係る半導体装置の製造方法との組み合わせに係るものである。

【0076】図35～図39は、本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態4と同様の方法により、図31に示す構造と同様の構造を得る。その後、上記実施の形態1と同様にシリコン酸化膜に対して選択性を有する条件下でシリコン成長を行うことにより、シリコン成長層15、16を形成する(図35)。

【0077】次に、写真製版法により、シリコン基板1のDRAM部にレジスト50aを形成する(図36)。

次に、レジスト50aによって覆われていないロジック部のシリコン酸化膜11を、例えばフッ酸等によって除去する(図37)。図37に示すように、シリコン基板1のDRAM部におけるゲート電極4aの側壁部には、シリコン酸化膜8、11及びシリコン窒化膜9から成るサイドウォール12aが形成されており、一方、ロジック部におけるゲート電極4bの側壁部には、シリコン酸化膜8及びシリコン窒化膜9から成るサイドウォール12bが形成されている。

【0078】次に、レジスト50aを除去した後、イオン注入を行い、シリコン基板1の上表面内に不純物領域13を形成する。その結果、DRAM部及びロジック部におけるシリコン基板1の上表面内には、エクステンション5及び不純物領域13から成るソース・ドレイン領域14がそれぞれ形成される(図38)。

【0079】次に、例えばCVD法によりコバルト(図示しない)を全面に堆積した後、窒素やアルゴン等の不活性ガス雰囲気中で熱処理を行い、コバルトシリサイド18、19を形成する。その後、未反応のコバルトを除去する(図39)。以上の工程により、シリサイド構造を有するDRAM用MOSFET及びロジック用MOSFETが、それぞれシリコン基板1のDRAM部及びロジック部に形成される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0080】このように本実施の形態5に係る半導体装置の製造方法によれば、ゲート電極4a、4b上にコバルトシリサイド18をそれぞれ形成することにより、DRAM用MOSFET及びロジック用MOSFETの各ゲート極をそれぞれ低抵抗でき、しかも、DRAM用MOSFETのサイドウォール12aの幅と、ロジック用MOSFETのサイドウォール12bの幅とを個別に設定することが可能となる。

【0081】実施の形態6。本実施の形態6は、上記実施の形態4に係る半導体装置の製造方法と、上記実施の形態1に係る半導体装置の製造方法との組み合わせに係るものであり、特に、1つのシリコン基板1に形成されるDRAM用MOSFET及びロジック用MOSFETのうち、DRAM用MOSFETのみに上記実施の形態1に係る半導体装置の製造方法を適用するものである。

【0082】図40～図45は、本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態4と同様の方法により、図34に示す構造と同様の構造を得た後、例えばCVD法により、シリコン酸化膜51を全面に堆積する(図40)。

【0083】次に、写真製版法により、シリコン基板1のロジック部にレジスト52を形成する(図41)。次に、レジスト52によって覆われていないDRAM部のシリコン酸化膜51を、例えばフッ酸等によって除去する(図42)。次に、レジスト52を除去した後、上記

実施の形態1と同様にシリコン酸化膜に対して選択性を有する条件下でシリコン成長を行うことにより、シリコン基板1のDRAM部において、シリコン成長層15、16を形成する(図43)。

【0084】次に、例えばCVD法により、コバルト17を全面に堆積する(図44)。次に、窒素やアルゴン等の不活性ガス雰囲気中で熱処理を行い、コバルトシリサイド18、19を形成する。その後、未反応のコバルト17を除去する。また、シリコン酸化膜51を例えばフッ酸等によって除去する(図45)。以上の工程により、サリサイド構造を有するDRAM用MOSFET、及びロジック用MOSFETが、それぞれシリコン基板1のDRAM部及びロジック部に形成される。その後、層間絶縁膜の形成工程や配線工程等のプロセスを経て、デバイスが完成する。

【0085】このように本実施の形態5に係る半導体装置の製造方法によれば、ゲート電極4a上にコバルトシリサイド18を形成することにより、DRAM用MOSFETのゲート抵抗を低減でき、しかも、DRAM用MOSFETのサイドウォール12aの幅と、ロジック用MOSFETのサイドウォール12bの幅とを個別に設定することが可能となる。

【0086】

【発明の効果】この発明のうち請求項1に係るものによれば、ゲート電極の幅を広げることなく、ゲート電極の幅よりも広い塩電層を形成することができ、ゲート抵抗の低減を図ることができる。

【0087】また、この発明のうち請求項2に係るものによれば、ゲート長方向への成長を以て、露出領域から積層構造の上面に延在する半導体成長層を形成し、この半導体成長層を金属と結合させて半導体-金属化合物を形成するため、ゲート電極の幅よりも広い幅を有する塩電層を適切に形成することができる。

【0088】また、この発明のうち請求項3に係るものによれば、露出している基板の上面のみならず、サイドウォールの第1積層から半導体を成長させることにより半導体成長層を形成するため、半導体成長層のゲート電極側の端部において、ファセットの発生を回避することができる。

【0089】また、この発明のうち請求項4に係るものによれば、素子分離構造の突出部分の側壁部に形成された第2積層から半導体を成長させることにより半導体成長層を形成するため、半導体成長層の素子分離構造側の端部において、ファセットの発生を回避することができる。

【0090】また、この発明のうち請求項5に係るものによれば、サリサイド構造を有する半導体装置に関し、ゲート電極の幅を広げることなくゲート抵抗の低減を図ることができるとともに、第2の半導体成長層のゲート電極側の端部において、ファセットの発生を回避することができる。

【0091】また、この発明のうち請求項6に係るものによれば、サリサイド構造を有する半導体装置に関し、ゲート電極の幅を広げることなくゲート抵抗の低減を図ることができるとともに、第2の半導体成長層のゲート電極側の端部においてファセットの発生を回避することができ、さらに、半導体成長層の素子分離構造側の端部においてもファセットの発生を回避することができる。

【0092】また、この発明のうち請求項7に係るものによれば、第1及び第2の積層構造、及び前記第1及び第2のサイドウォールをマスクとして不純物を導入することにより、第1及び第2の不純物導入領域がそれぞれ形成され、しかも、第1及び第2のサイドウォールの幅は互いに異なる。従って、第1及び第2の半導体素子のそれぞれの用途に応じて、封を成す第1の不純物導入領域同士の間隔距離、及び封を成す第2の不純物導入領域同士の間隔距離を個別に設定することができる。

【0093】また、この発明のうち請求項8に係るものによれば、第1の積層構造におけるゲート電極の幅を広げることなく、第1の半導体素子のゲート抵抗を低減することができる。

【0094】また、この発明のうち請求項9に係るものによれば、第1のサイドウォールよりも第1の材質の幅だけ短い幅を有する第2のサイドウォールを、第2の積層構造の側壁部に形成することができる。

【0095】また、この発明のうち請求項10に係るものによれば、塩電層の幅はゲート電極の幅よりも広い。従って、ゲート抵抗の低減を図ることができる。

【0096】また、この発明のうち請求項11に係るものによれば、ゲート長方向への成長を以て、露出領域から積層構造の上面に延在する半導体成長層を形成し、この半導体成長層を金属と結合させて半導体-金属化合物を形成するため、ゲート電極の幅よりも広い幅を有する塩電層を適切に形成することができる。

【0097】また、この発明のうち請求項12に係るものによれば、半導体成長層は、露出している基板の上面のみならず、サイドウォールの第1積層から半導体を成長させることにより形成される。従って、半導体成長層のゲート電極側の端部において、ファセットの発生を回避することができる。

【0098】また、この発明のうち請求項13に係るものによれば、半導体成長層は、露出している基板の上面、サイドウォールの第1積層、及び素子分離構造の突出部分の側壁部に形成された第2積層からそれぞれ半導体を成長させることにより形成される。従って、半導体成長層の素子分離構造側の端部において、ファセットの発生を回避することができる。このため、ソース・ドレイン領域を基板内に深く形成することができ、微細化された半導体装置を得ることができる。

【0099】また、この発明のうち請求項14に係るものによれば、サリサイド構造を有する半導体装置に關して、ゲート電極の幅を広げることなくゲート抵抗の低減を図ることができるとともに、第2の半導体成長層のゲート電極側の端面において、ファセットの発生を回避することができる。

【0100】また、この発明のうち請求項15に係るものによれば、サリサイド構造を有する半導体装置に關して、ゲート電極の幅を広げることなくゲート抵抗の低減を図ることができるとともに、第2の半導体成長層のゲート電極側の端面においてファセットの発生を回避することができる。さらに、半導体成長層の電子分離構造側の端面においてもファセットの発生を回避することができる。このため、ソース・ドレイン領域を基板内に深く形成することができ、微細化された半導体装置を得ることができる。

【0101】また、この発明のうち請求項16に係るものによれば、第1及び第2の結層構造、及び前記第1及び第2のサイドウォールをマスクとして不純物を導入することにより、第1及び第2の不純物導入領域がそれぞれ形成され、しかも、第1及び第2のサイドウォールの幅は互いに異なる。従って、第1及び第2の半導体素子のそれぞれの用途に応じて、針を成す第1の不純物導入領域同士の間隔、及び針を成す第2の不純物導入領域同士の間隔を個別に設定することができる。

【0102】また、この発明のうち請求項17に係るものによれば、第1の結層構造におけるゲート電極の幅を広げることなく、第1の半導体素子のゲート抵抗を低減することができる。

【0103】また、この発明のうち請求項18に係るものによれば、第2の結層構造の側壁部に、第1のサイドウォールよりも第1の材質の幅だけ短い幅を有する第2のサイドウォールを形成することができる。

【図1】 本発明の実施の形態1に係る半導体装置の製造方法を概略的に示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 図7のA部分を拡大して示す断面図である。

【図11】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 図7のB部分を拡大して示す断面図である。

【図18】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図19】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図20】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図21】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図22】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図23】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図24】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図25】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図26】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図27】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図28】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図29】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図30】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

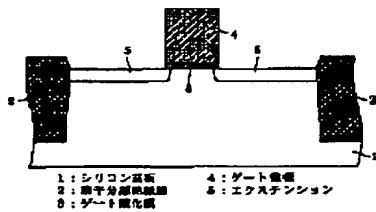
【図31】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図32】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図33】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

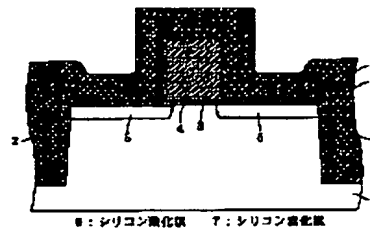
- 【図34】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図35】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図36】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図37】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図38】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図39】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図40】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図41】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図42】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図43】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図44】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図45】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。
- 【図46】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図47】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図48】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図49】 従来の半導体装置の製造方法を工程順に示す断面図である。

【図1】



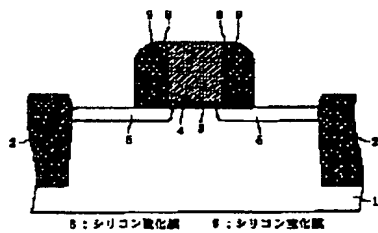
- 【図50】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図51】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図52】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図53】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図54】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図55】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図56】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図57】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図58】 図50のA部分を拡大して示す断面図である。
- 【図59】 図50のB部分を拡大して示す断面図である。
- 【符号の説明】  
1 シリコン基板、2 素子分離膜、3 ゲート酸化膜、4、4a、4bゲート電極、8、11、30、35、31 シリコン酸化膜、9、34、34a シリコン窒化膜、12、12a、12b、36 サイドウォール、13 不純物領域、14 ソース・ドレイン領域、15、16、37、41 シリコン成長層、17 コバルト、18、19、38、42 コバルトシリサイド、20a、20b フェセット、40 熱酸化膜。

【図2】

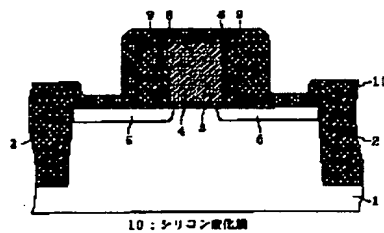




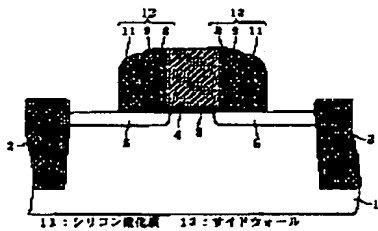
【図 3】



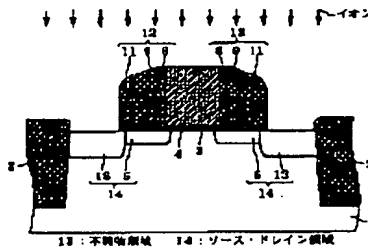
【図 4】



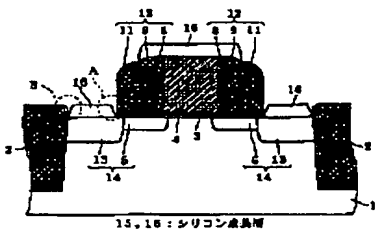
【図 5】



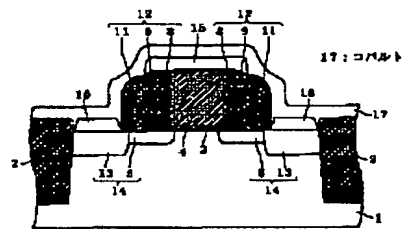
【図 6】



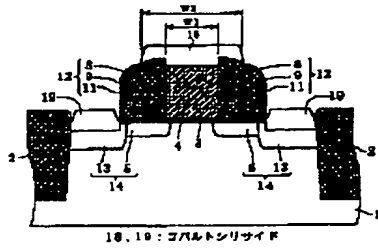
【図 7】



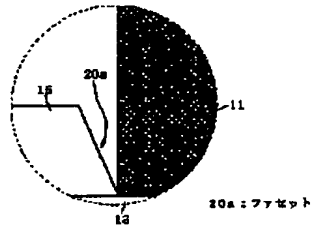
【図 8】



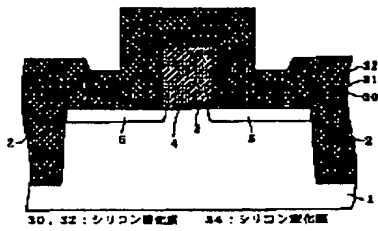
(圖 9)



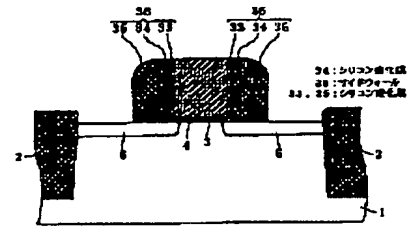
(圖 10)



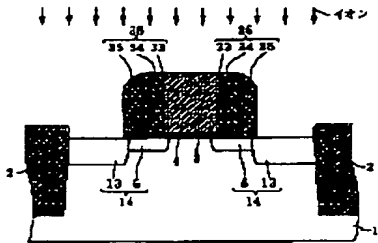
(圖 11)



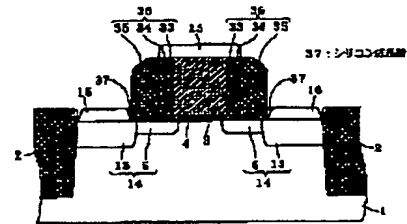
(圖 12)



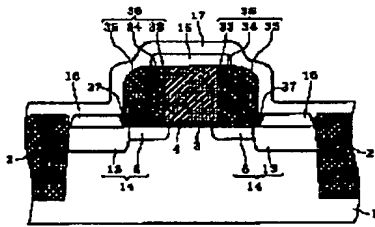
(圖 13)



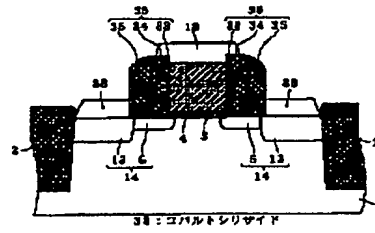
(圖 14)



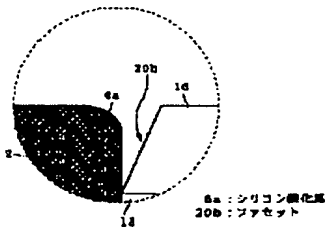
【圖 15】



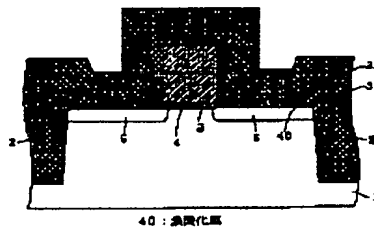
【圖 16】



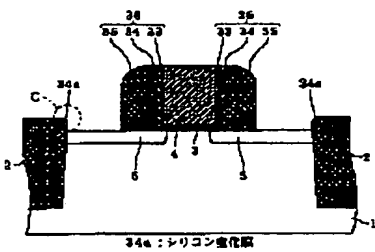
【圖 17】



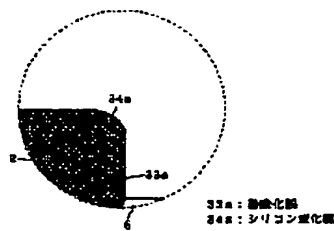
【圖 18】



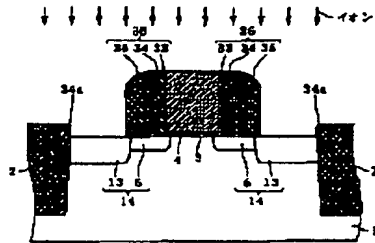
【圖 19】



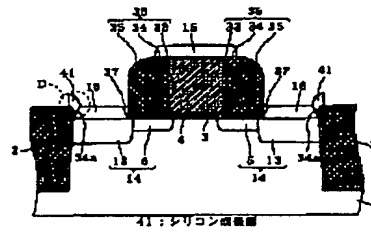
【圖 20】



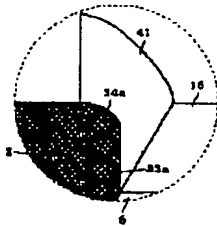
【図 21】



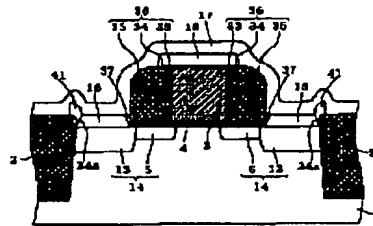
【図 22】



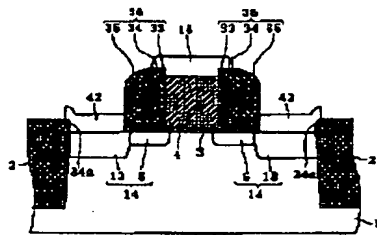
【図 23】



【図 24】

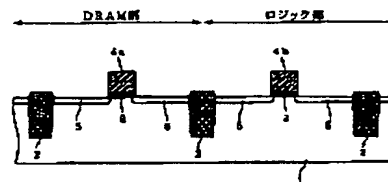


【図 25】



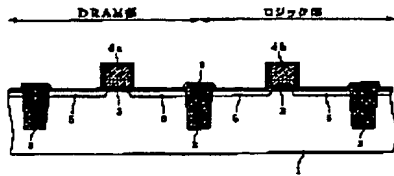
42 : コバルトシリサイド

【図 26】

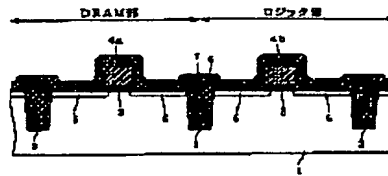


4a, 4b : ゲート電極

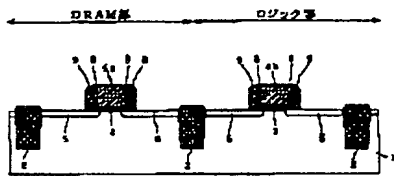
【圖 27】



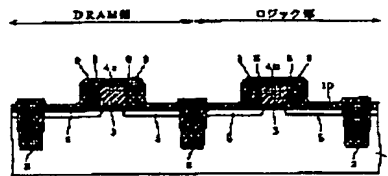
【圖 28】



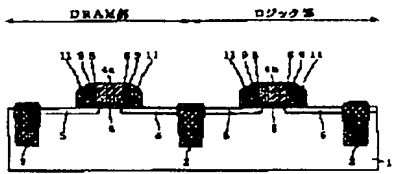
【圖 29】



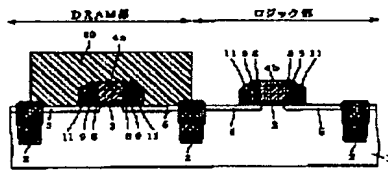
【圖 30】



【圖 31】

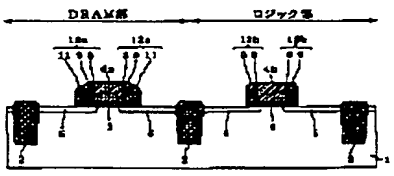


【圖 32】



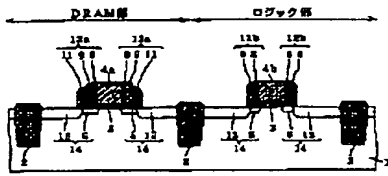
80 : 레지스트

【圖 33】

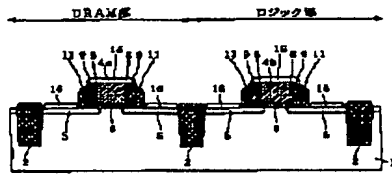


120, 120a : 게이트드웰

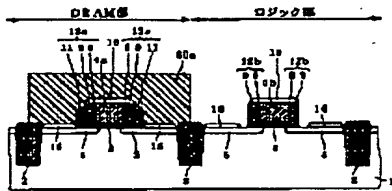
【圖 34】



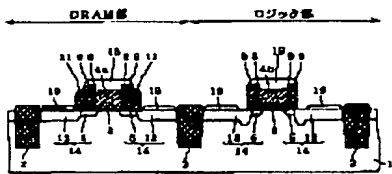
【圖 35】



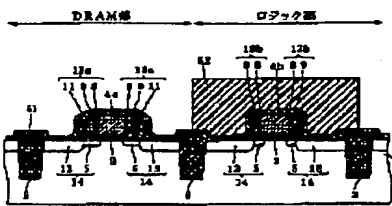
【圖 37】



【圖 39】

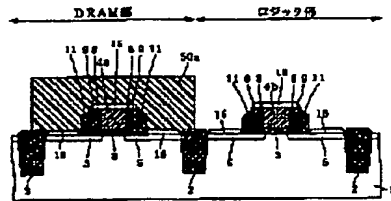


【圖 41】



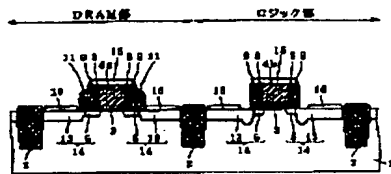
58 : 트랜지스트

【圖 36】

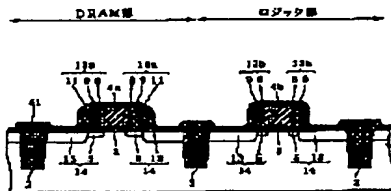


50a : 레지스트

【圖 38】

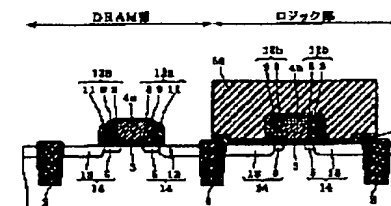


【圖 40】

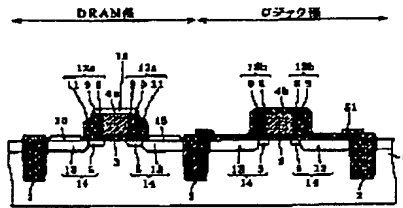


61 : 리튬산화물

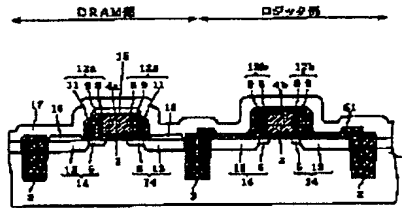
【圖 42】



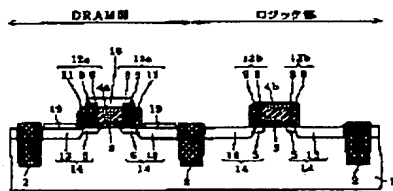
【圖 4 3】



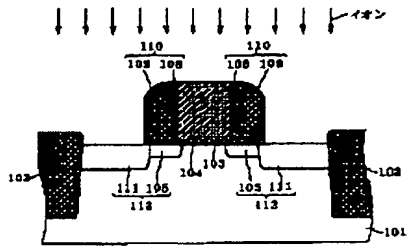
【圖 4 4】



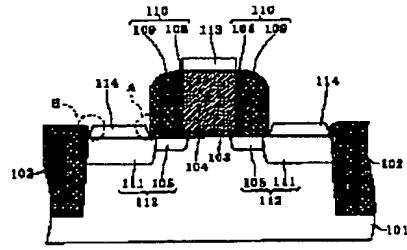
【圖 4 5】



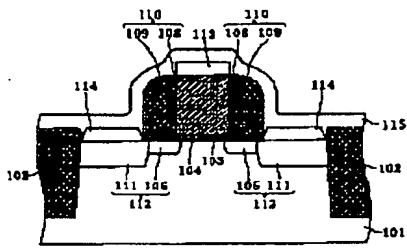
【圖 49】



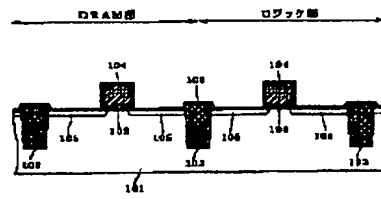
【圖 50】



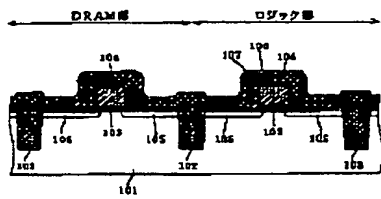
【圖 51】



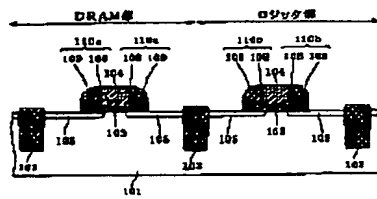
【圖 54】



【圖 55】

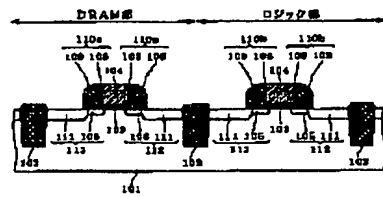


【圖 56】

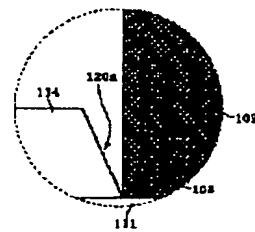




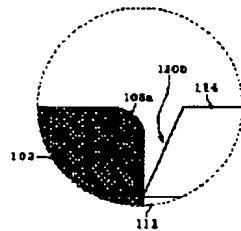
【圖 57】



【圖 58】



【圖 59】



프로토타입의続き

(S1)Int.C1.7

識別記号

F 1

デマコート (参考)

H O 1 L 27/092

27/10

29/43

4 5 1

(72)発明者 佐山 弘和

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

Fターム(参考) 4M104 A001 B820 B821 B825 B828

CC01 CC05 DD04 DD46 DD78

GG16 HH14

5F038 DF05 DF11 EZ01 EZ20

5F040 DA00 DA01 DA13 DC01 EA08

EA09 EC07 EC13 EF02 EH02

EM01 EM01 FA05 FA07 FA10

FB02 FC06 FC07 FC11 FC13

FC21

5F048 AA01 AB01 AB03 BB05 EC06

BC18 BC19 BF03 BF06 EG01

5F083 AD00 PR09 PR25 PR53 PR54

PR55 ZA12

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**